

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Takeshi Osada                                  Art Unit : Unknown  
Serial No. : New Application                              Examiner : Unknown  
Filed : December 2, 2003  
Title : IMAGE DISPLAY DEVICE AND METHOD OF TESTING THE SAME

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:

**Japan Application No. 2002-354804 filed December 6, 2002**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 2, 2003

  
John F. Hayden  
Reg. No. 37,640

**Customer No. 26171**  
Fish & Richardson P.C.  
1425 K Street, N.W., 11th Floor  
Washington, DC 20005-3500  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年12月 6日

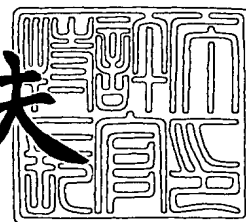
出願番号  
Application Number: 特願2002-354804  
[ST. 10/C]: [JP2002-354804]

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2003年10月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3088941

【書類名】 特許願

【整理番号】 P006786

【提出日】 平成14年12月 6日

【あて先】 特許庁長官 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 長多 剛

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置およびその検査方法

【特許請求の範囲】

【請求項 1】

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路および前記第 2 の画素回路はそれぞれ、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、

前記第 1 の画素回路において、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記駆動用トランジスタは、前記電流供給線と検査出力端子との間に設けられたことを特徴とする画像表示装置。

【請求項 2】

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路は、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記第 2 の画素回路は、前記データ信号線と、前記走査線と、前記スイッチング用トランジスタとを有し、

前記第 1 の画素回路において、前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記スイッチング用トランジスタは、前記デー

タ信号線と検査出力端子との間に設けられたことを特徴とする画像表示装置。

【請求項 3】

請求項 1 もしくは請求項 2 において、

前記検査領域は、前記画素部の外縁部に設けられたダミー画素領域に設けられたことを特徴とする画像表示装置。

【請求項 4】

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路および前記第 2 の画素回路はそれぞれ、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、

前記第 1 の画素回路において、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記駆動用トランジスタは、前記電流供給線と検査出力端子との間に設けられ、

前記走査線を選択状態として前記第 2 の画素回路における前記スイッチング用トランジスタを導通し、前記データ信号線に出力された信号にしたがって、前記駆動用トランジスタのドレイン電流を前記検査出力端子に出力することを特徴とする画像表示装置の検査方法。

【請求項 5】

請求項 4 に記載の画像表示装置の検査方法において、

前記データ信号線に出力された信号は、映像信号であることを特徴とする画像表示装置の検査方法。

【請求項 6】

請求項 4 に記載の画像表示装置の検査方法において、

前記データ信号線に出力された信号は、検査用パルスであることを特徴とする



画像表示装置の検査方法。

【請求項 7】

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路は、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記第 2 の画素回路は、前記データ信号線と、前記走査線と、前記スイッチング用トランジスタとを有し、

前記第 1 の画素回路において、前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記スイッチング用トランジスタは、前記データ信号線と検査出力端子との間に設けられ、

前記走査線を選択状態として第 2 の画素回路における前記スイッチング用トランジスタを導通し、前記データ信号線に出力された信号を前記検査出力端子に出力することを特徴とする画像表示装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素がマトリクス状に配置された画像表示装置及び画像表示装置の検査方法に関する。

【0002】

【従来の技術】

液晶ディスプレイ(LCD)や、エレクトロルミネッセンス(EL)ディスプレイ等の画像表示装置においては、近年高精細化が進み、素子の集積度も大きく向上してきている。

【0003】



画像表示装置の製造ラインにおいては、完成品としてのパネル出荷に際し、基板上に実装した回路が正常動作しているかの検査が不可欠であるが、前述した高精細化に伴い、検査工程自体も複雑化してきている。

#### 【 0 0 0 4 】

図 3 は、画像表示装置における、検査回路を実装した基板の、従来の構成を示している（例えば、特許文献 1 参照）。基板 3 0 1 は検査回路 3 1 1 を実装し、マトリクス状に配置された画素 3 0 4 を有し、データ信号線（ソースバスライン）3 0 5 と走査線（ゲートバスライン）3 0 6 がお互いに直行するよう配置され、各走査線 3 0 6 はゲート駆動回路 3 0 3 に接続、各データ信号線 3 0 5 はソース駆動回路 3 0 2 に接続されている。

#### 【 0 0 0 5 】

画素 3 0 4 は、画素部の表示領域に設けられ、表示に寄与する第一の画素と、画素部の外縁部（以後、非表示領域と記載する）に設けられ、表示には寄与しない第二の画素を有する。図 7 (A) に概略を示す。ただし、ここでは簡単のため、非表示領域は画素部の下端のみに設けられているが、通常、表示領域の外縁を囲うように非表示領域が設けられることが多い。

#### 【 0 0 0 6 】

上記表示装置は、各走査線 3 0 6 により当該行の各画素を制御し、映像信号はソース駆動回路 3 0 2 に順次取り込まれ、ラッチ信号が入力されると各データ信号線 3 0 5 に同時に出力され、各画素に入力される。

#### 【 0 0 0 7 】

上記表示装置の有する画素は、図 7 (B) により詳しく説明する。それぞれの画素は、データ信号線 7 1 1、走査線 7 1 2、電流供給線 7 1 7、スイッチング用 TFT 7 1 3、駆動用 TFT 7 1 4、容量手段 7 1 5、発光素子 7 1 6、電源線 7 1 8 を有している。

#### 【 0 0 0 8 】

第一及び第二の画素の接続関係を説明する。駆動用 TFT 7 1 4 のゲート電極とデータ信号線 7 1 1 の間にスイッチング用 TFT 7 1 3 が接続され、スイッチング用 TFT 7 1 3 のゲート電極に走査線 7 1 2 が接続されている。このため、スイッチン



グ用TFT 7 1 3 がon状態の時、データ信号線 7 1 1 に出力されている信号により駆動用TFT 7 1 4 を制御することができる。また、容量手段 7 1 5 は、駆動用TFT 7 1 4 のゲート電極と電流供給線 8 1 7 の間にあり、駆動用TFT 7 1 4 のゲート・ソース間電圧を保持する。

#### 【0009】

第一及び第二の画素の違いを以下に述べる。第一の画素は発光素子を有し、駆動用TFTが電流供給線から発光素子に電流を供給することで発光し、発光素子の他方は電源に接続せれている。発光は、ソース信号線から映像信号を駆動用TFTのゲート電極に送り、入力された映像信号の電位に従って行われる。第二の画素は発光素子と駆動用TFTは接続されず非発光であり、ダミー画素となっている。

#### 【0010】

このようにダミー画素を有する非表示領域を画素の周辺に設置する理由の一つは、LCDや発光素子を用いたディスプレイ等のフラットパネルディスプレイにおいては、液晶素子や発光素子を画素部に形成する工程があるが、その際、中心部に比べて周辺部が不均質になり易いことがあげられる（例えば、特許文献2参照）。

#### 【0011】

上記表示装置の配線間の短絡や配線の断線の検出は、走査線 3 0 6 の端に設けられた検出用パッド 3 1 5 a にプローブピンを接触させ出力を調べる方法、データ信号線 3 0 5 の端の検査回路 3 1 1 を使用する方法がある。検査回路 3 1 1 は、スイッチ制御回路 3 1 2 を順次駆動しながら、各データ信号線の電位レベルを順次検査線 3 1 4 におくり、検出用パッド 3 1 5 b にプローブピンを接触させ調べる。

#### 【0012】

検出用パッド 3 1 5 a にプローブピンを接触させる方法を用いると、各線と同数の検出用パッドに対して検査するため時間が膨大となる。あるいは、時間を短縮させるためプローブピンの数を増やすと、高価な検査機が必要となる。そこで検査回路 3 1 1 を基板上に形成することが考えられるが、スイッチ駆動回路 3 1 2 を必要とするため画像表示とは無関係な回路であるにもかかわらず、膨大な面積



を占有する。

### 【0013】

これに対してスイッチ駆動回路を設置しない検査回路を有する画像表示装置が提案されている(例えば、特許文献3参照)。図4は、上記画像表示装置の構成図である。各データ信号線405はアナログスイッチ412のゲートに接続されている。

データ信号線405を検査する場合には、映像信号線407に検査用パルスを入力し、アナログスイッチ412からの出力波形を、検査端子414bの出力により観察し、断線等の不良を発見することができる。

### 【0014】

#### 【特許文献1】

特開平14-116423号公報

### 【0015】

#### 【特許文献2】

特開平5-241153号公報

### 【0016】

#### 【特許文献3】

特許第2618042号 明細書

### 【0017】

#### 【発明が解決しようとする課題】

ところが、上記検査法では、ゲート駆動回路403やソース駆動回路402の動作及び走査線406やデータ信号線405の良否を検査するだけであり、画素404内部の薄膜トランジスタ(以後、TFTと表記する)が十分制御されているかが検査できないと、十分な検査であるとはいえない。

### 【0018】

本発明の目的は、検査機が多くのプローブピンを用いずに、検査面積を最小に抑えたままで、簡単かつ短時間で検査が可能であり、さらに、駆動回路や走査線、データ信号線のみならず画素内部のTFTの制御も含めて、検査可能な画像表示装置と、画像表示装置の検査方法を提供することである。

## 【 0 0 1 9 】

## 【課題を解決するための手段】

上記目的を達成するため、本発明の画像表示装置およびその検査方法に関し、以下のような手段を講じた。

## 【 0 0 2 0 】

本発明の画像表示装置は、

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路および前記第 2 の画素回路はそれぞれ、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、

前記第 1 の画素回路において、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記駆動用トランジスタは、前記電流供給線と検査出力端子との間に設けられたことを特徴とする。

## 【 0 0 2 1 】

本発明の画像表示装置は、

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路は、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記第 2 の画素回路は、前記データ信号線と、前記走査線と、前記スイッチング用トランジスタとを有し、

前記第 1 の画素回路において、前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタ

タのゲート電極との間に設けられ、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記スイッチング用トランジスタは、前記データ信号線と検査出力端子との間に設けられたことを特徴とする。

#### 【0 0 2 2】

本発明の画像表示装置において、

前記検査領域は、前記画素部の外縁部に設けられたダミー画素領域に設けられたことを特徴とする。

#### 【0 0 2 3】

本発明の画像表示装置の検査方法は、

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第 1 の画素回路と、第 2 の画素回路とを有し、

前記第 1 の画素回路および前記第 2 の画素回路はそれぞれ、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、

前記第 1 の画素回路において、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第 2 の画素回路において、前記駆動用トランジスタは、前記電流供給線と検査出力端子との間に設けられ、

前記走査線を選択状態として前記第 2 の画素回路における前記スイッチング用トランジスタを導通し、前記データ信号線に出力された信号にしたがって、前記駆動用トランジスタのドレイン電流を前記検査出力端子に出力することを特徴とする。

#### 【0 0 2 4】

本発明の画像表示装置の検査方法において、

前記データ信号線に出力された信号は、映像信号であることを特徴とする。

## 【0025】

本発明の画像表示装置の検査方法において、  
前記データ信号線に出力された信号は、検査用パルスであることを特徴とする

。

## 【0026】

本発明の画像表示装置の検査方法は、

表示領域と検査領域とが設けられた画素部を有し、

前記表示領域および前記検査領域はそれぞれ、第1の画素回路と、第2の画素回路とを有し、

前記第1の画素回路は、データ信号線と、走査線と、スイッチング用トランジスタと、駆動用トランジスタとを有し、

前記第2の画素回路は、前記データ信号線と、前記走査線と、前記スイッチング用トランジスタとを有し、

前記第1の画素回路において、前記スイッチング用トランジスタは、ゲート電極が前記走査線と電氣的に接続されて前記データ信号線と前記駆動用トランジスタのゲート電極との間に設けられ、前記駆動用トランジスタは、電流供給線と発光素子との間に設けられ、

前記第2の画素回路において、前記スイッチング用トランジスタは、前記データ信号線と検査出力端子との間に設けられ、

前記走査線を選択状態として第2の画素回路における前記スイッチング用トランジスタを導通し、前記データ信号線に出力された信号を前記検査出力端子に出力することを特徴とする。

## 【0027】

## 【発明の実施形態】

本発明を以下の実施の形態により詳細に説明する。

## 【0028】

## [実施形態1]

図1(A)は、本発明の第1の実施形態による検査回路を示す。この回路はデータ信号線の検査を目的に作成したものである。上記検査回路は、図8にある画素

回路をもとに作成され、図 1 (A)における検査セル 1 0 7 が画素回路に相当する。画素回路は、駆動用 TFT 1 0 4 が EL 素子 1 1 6 に電流を供給することで発光し、駆動用 TFT 1 0 4 のゲートに対してスイッチング用 TFT 1 0 3 によりソース信号線 1 1 1 から映像信号が送られ、入力された映像信号の電位に従って発光が行われる。

#### 【 0 0 2 9 】

検査セル 1 0 7 の構成を画素回路と比較して説明する。駆動用 TFT 1 0 4 が電流を供給する EL 素子 1 1 6 を除き、かつ EL 素子に繋がる電源線 1 1 8 と切り離し、代わりに駆動用 TFT 1 0 4 を検査線 1 0 8 に共通接続し、検査端子に繋げ、また画素が共有する走査線 1 1 2 をゲート駆動回路から切り離し検査回路スイッチ信号線 1 0 2 として独立させたのが検査セル 1 0 7 である。駆動用 TFT 1 0 4 は、スイッチ信号線 1 0 2 が入力され、スイッチング用 TFT 1 0 3 が ON の状態の時映像信号により制御されるアナログスイッチとしての役割を担う。

#### 【 0 0 3 0 】

データ信号線の検査について述べる。図 1 (A)に示すような検査回路を基板上に形成し、画素部と接続している n 本のデータ信号線と S 1, S 2, . . . , S n を一対一で接続する。映像信号が有する電位が各データ信号線へ出力され、この時スイッチ信号が入力されてスイッチング用 TFT 1 0 3 が ON の時、駆動用 TFT 1 0 4 のスイッチ制御は映像信号によって行われ、映像信号と測定した出力値 OUT を比較することで検査することができる。映像信号には、検査用パルスを入力することで、異常のある場所の特定が簡易となる。

#### 【 0 0 3 1 】

図 5 (B)に、検査時のタイミングチャートを示す。図 5 (A)に示された基板 5 0 1 は、シフトレジスタにより順次映像信号を第 1 のラッチ回路に取り込み、ラッチ信号が high の時に各データ信号線に同時に第 2 のラッチ回路より出力される構造である。このため、図 5 (C)にあるように n 本のデータ信号線 S 1, S 2, . . . , S n を一本ずつ選択 ( 1 : High ) して、映像信号入力期間 V を n 回設けている。この時の出力信号は、ラッチ信号が選択されるとある一つの検査セル中の駆動用 TFT が ON 状態であるため、同時に High 出力となる。

## 【0032】

## [実施形態2]

図2は、本発明の第2の実施形態による検査回路を示す。この回路は走査線の検査を目的に作成したものである。実施形態1同様、図1(B)の画素回路をもとに作成され、図2(A)における検査セル205が画素回路に相当する。検査セル205の構成を画素回路と比較して説明する。EL素子及び駆動用TFTを除き、かつEL素子に繋がる電源線と画素内のTFTとを切り離し、替わりに検査線206に繋げ、また画素が共有するデータ信号線をソース駆動回路から切り離し電源電圧に接続したのが検査セル205である。スイッチング用TFTは、ゲート駆動回路により制御されるアナログスイッチとしての役割を担う。

## 【0033】

ダミー画素を周辺部に有し、ELの膜厚を表示領域で均質にするため画素が同じ構造である必要があり、駆動用TFTを削除できない場合は、削除しなくても可である。接続はスイッチング用TFT、駆動用TFTと容量手段との接点を検査線に共通接続し検査端子に繋げる。

## 【0034】

データ信号線の検査について述べる。図2(A)に示すような検査回路を基板上に形成し、画素部と接続しているn本の走査線とG1, G2, ..., Gnを一対一で接続する。ゲート駆動回路より順次各走査線へ出力され、このためスイッチング用TFT202は順次ON状態となり、この時の出力値OUTを測定することで検査することができる。

## 【0035】

走査線はデータ信号線と異なり、検査用パルスの入力ができないため、出力部に工夫が必要である。図2(A)は出力をOUT1及びOUT2と2つ有し、走査線を交互にOUT1とOUT2に接続することで、シフトレジスタが順次にスイッチング用TFT202を選択すると方形波が検出でき、検査での判別が明確となる。図6(B)にタイミングチャートを示す。各走査線G1, G2, ..., Gnが順次ON状態になり、出力は交互にHigh出力となっている。こうした方形波を出力させる利点は、その個数を数えることで異常のある場所を特定できることにある。

## 【0036】

検査用パルスを入力不可に対する対策として、あるいは、図2(b)のように、遅延Buffer 211及びNAND 212を追加することで、Bufferが遅延を作りその出力とNANDをとることで方形波を検出させる方法がある。

## 【実施例】

本発明の実施例について以下に述べる。

## 【0037】

## [実施例1]

図5(A)は、本発明の第1の実施例を示す。マトリクス状に配置され画素504のうちデータ信号線に垂直方向にある一行の画素として、ソース駆動回路502の対向の最終段を選ぶ。もし、ダミー画素が周辺に配置されているなら、ダミー画素を選択してもよい。選択した画素に以下の変更を行う。EL素子を除き、かつEL素子に繋がる電源線と画素内のTFTとを切り離し、替わりに検査端子に繋げる。もちろん、検査上の理由より検査端子を複数にしても可であるが、図5(A)の実施例では共通接続することで、検査端子数を1つにしている。次に、画素が共有する走査線506をゲート駆動回路503から切り離しスイッチ信号線として独立させる。本実施例では、検査を単純にするためスイッチ信号線を独立させたが、ゲート駆動回路によりスイッチ信号線を制御するのであれば独立させず接続したままでも可である。データ信号線の検査方法は、図5(B)に示すように、スイッチ信号線を入力した状態で検査用パルスS1, S2, ..., Snを入力し、ラッチ信号を入力時の出力信号を観察することで判定する。

## 【0038】

本実施例では、画素内のTFTをそのまま使用したが、画素内部TFTの駆動確認のために、感度を上げる目的で、相似的にTFTサイズを変更しても可とする。

## 【0039】

## [実施例2]

図6(A)は、本発明の第2の実施例を示す。マトリクス状に配置され画素604のうち走査線に垂直方向にある一列の画素として、ゲート駆動回路603の対向の最終段を選ぶ。もし、ダミー画素が周辺に配置されているなら、ダミー画素

を選択してもよい。選択した画素に以下の変更を行う。EL素子及び駆動用TFTを除き、かつEL素子に繋がる電源線と画素内のTFTとを切り離し、替わりに検査線に繋げる。図6 (A)の実施例では2出力で、走査線6 0 6を交互に接続している。次に、画素が共有するデータ信号線6 0 5をソース駆動回路6 0 2から切り離し電源電圧に接続する。本実施例では、検査を単純にするため電源電圧に接続したが、ソース駆動回路6 0 2により検出可能な電位レベルを与えることができるならば、接続したままでも可である。走査線の検査方法は、図6 (B)に示すように、ゲート駆動回路を動かし出力信号を観察することで判定する。

#### 【0 0 4 0】

本実施例では、画素内のTFTをそのまま使用したが、画素内部TFTの駆動確認のために、感度を上げる目的で、相似的にTFTサイズを変更しても可とする。

#### 【発明の効果】

以上のように本発明の画像表示装置及びその検査方法は、画素回路の一部を変更し検査回路にすることで、あるいはダミー画素を使用することで、検査回路による占有面積を最小に抑え、データ信号線および走査線の断線等の検査や画素制御の検査を簡単かつ確実に行い、もし異常があればその位置まで知ることができるものである。

#### 【図面の簡単な説明】

【図1】 本発明の実施形態を示す図。

【図2】 本発明の実施形態を示す図。

【図3】 一般に用いられる画像表示装置と従来の検査回路の構成例を示す図。

【図4】 提案されている検査回路の構成例を示す図。

【図5】 本発明の実施例を示す図。

【図6】 本発明の実施例を示す図。

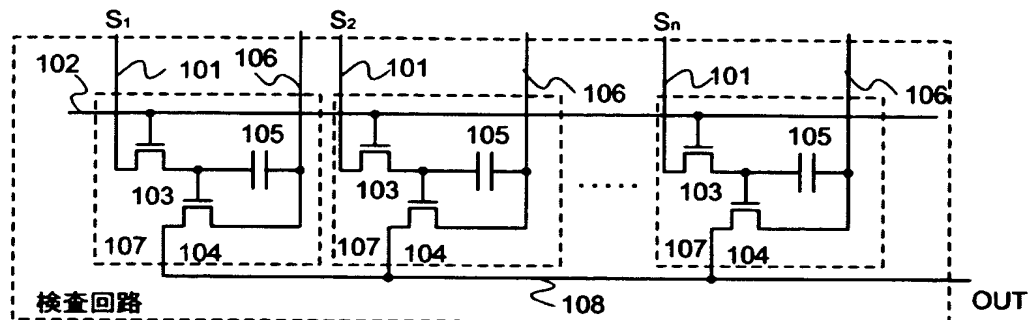
【図7】 一般に用いられる画像表示装置の構成例を示す図。



【書類名】 図面

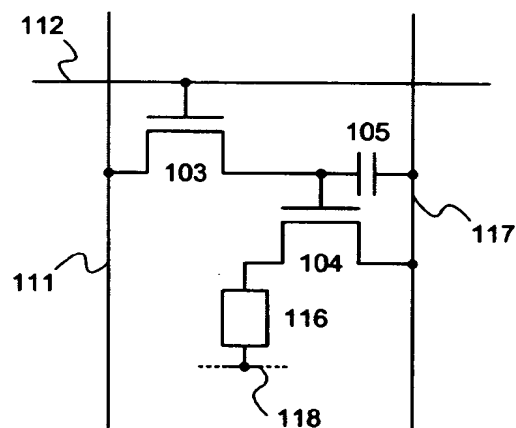
【図 1】

(A)



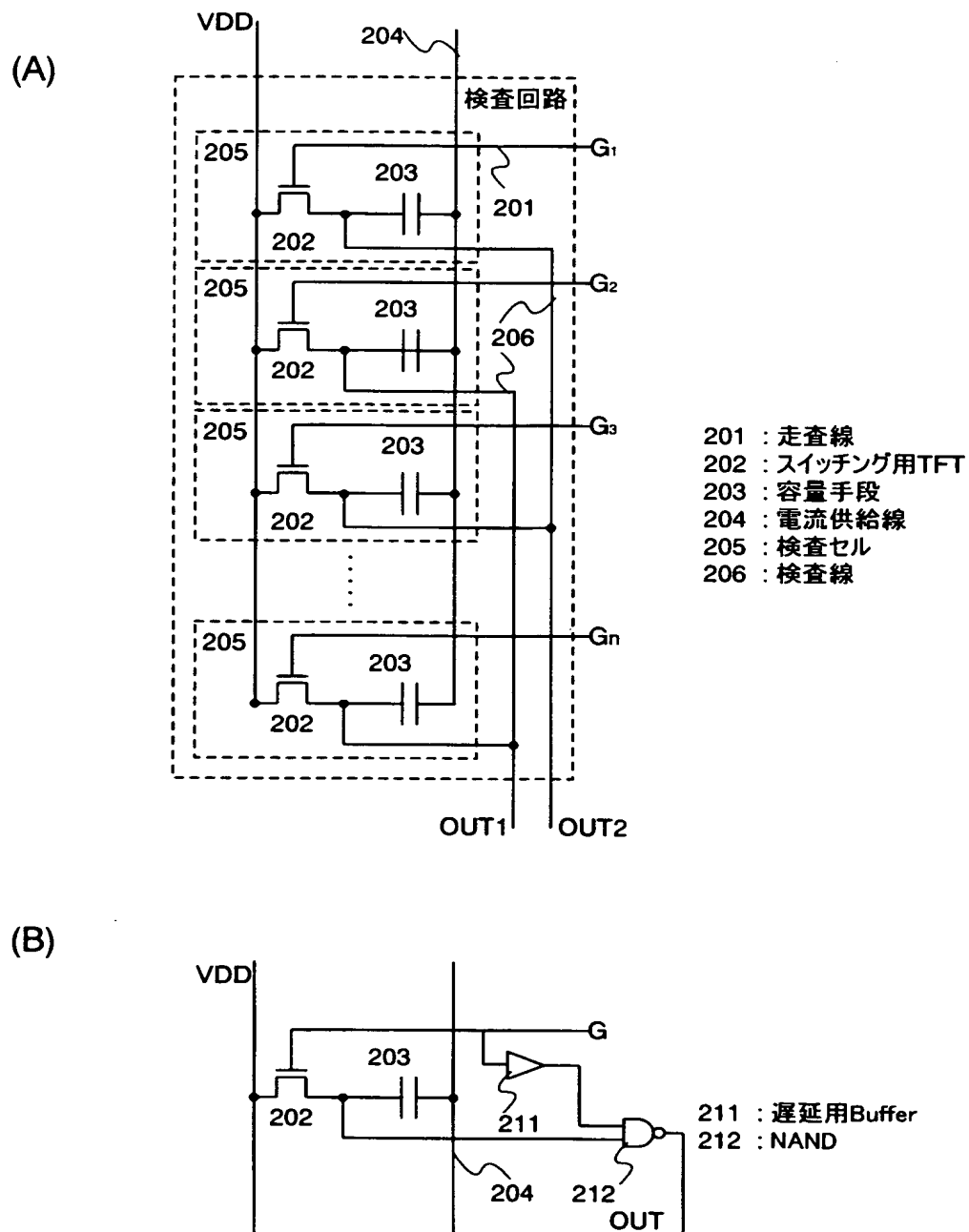
101 : データ信号線  
 102 : 走査線(スイッチ信号線)  
 103 : スイッチング用TFT  
 104 : 駆動用TFT  
 105 : 容量手段  
 106 : 電流供給線  
 107 : 検査セル  
 108 : 検査線

(B)

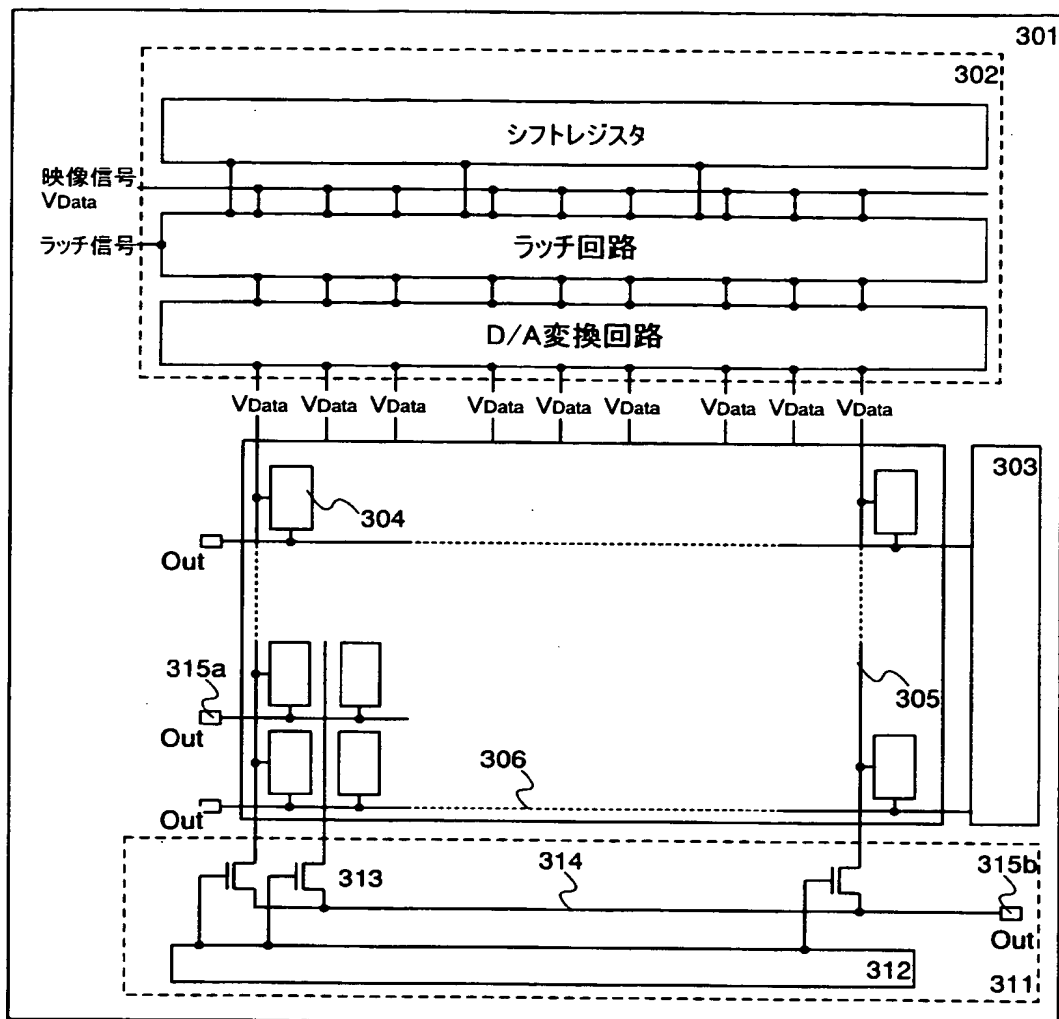


111 : データ信号線  
 112 : 走査線  
 103 : スイッチング用TFT  
 104 : 駆動用TFT  
 105 : 容量手段  
 116 : EL素子  
 117 : 電流供給線  
 118 : 電源線

【図 2】



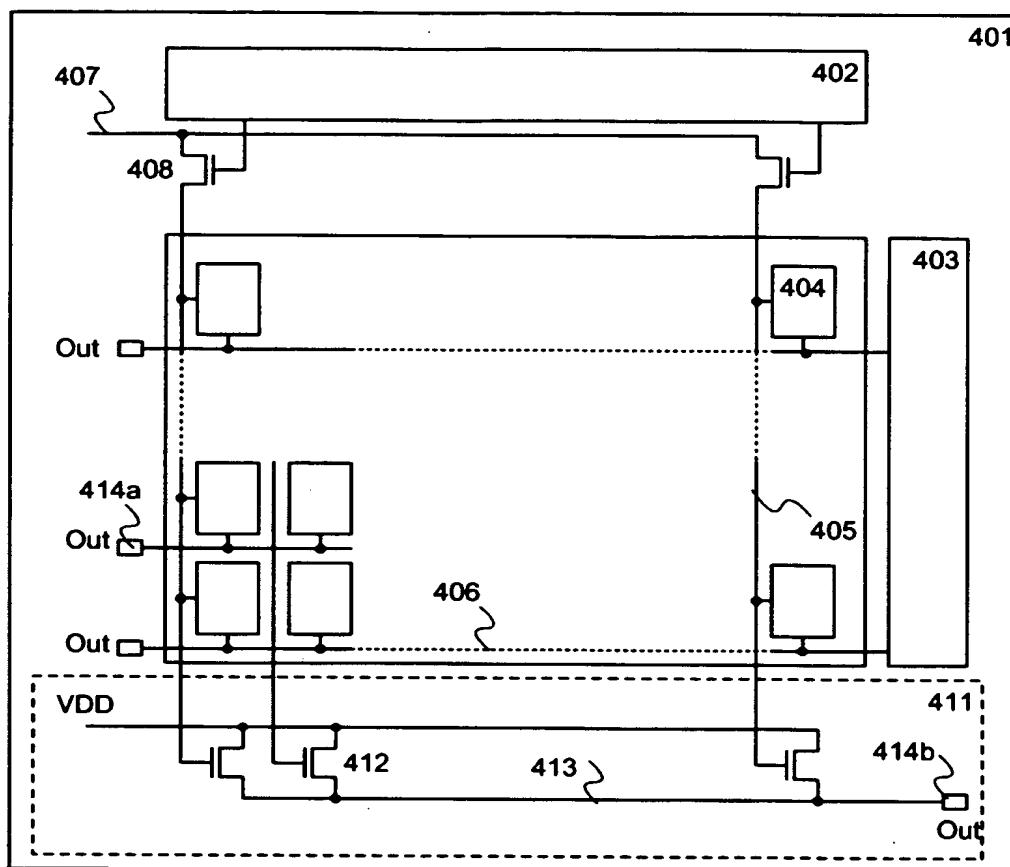
【図 3】



301 : 基板  
 302 : ソース駆動回路  
 303 : ゲート駆動回路  
 304 : 画素  
 305 : データ信号線  
 306 : 走査線

311 : 検査回路  
 312 : スイッチ駆動回路  
 313 : アナログスイッチ  
 314 : 検査線  
 315 : 検査端子

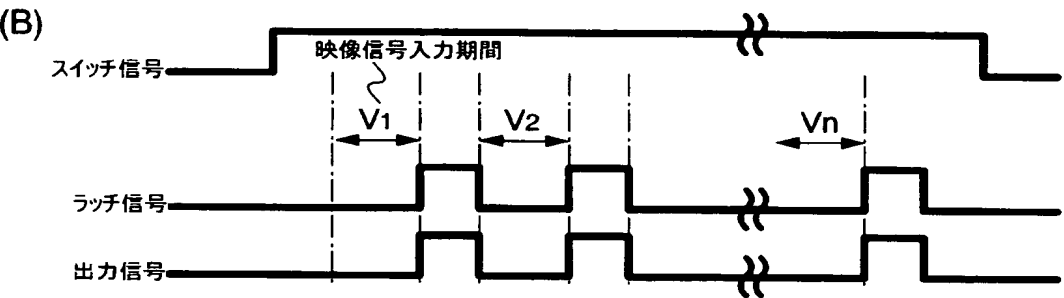
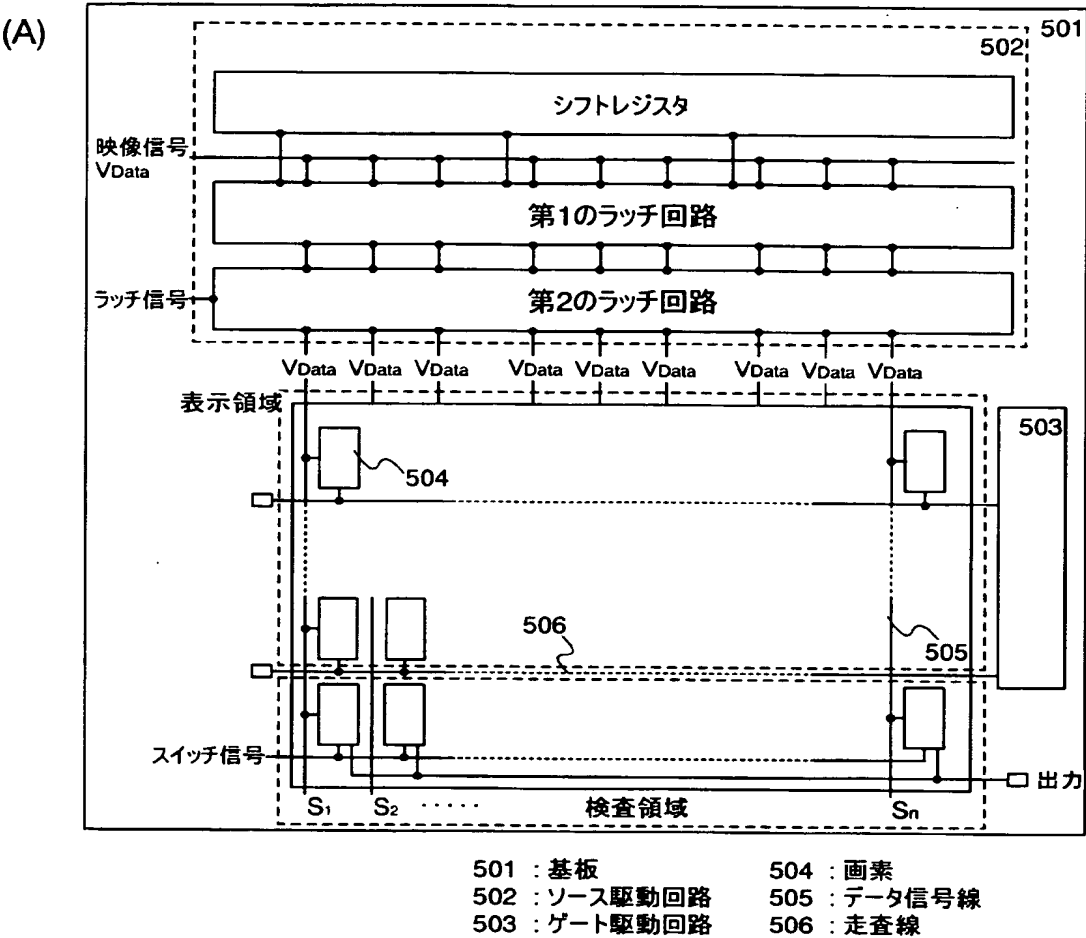
【図 4】



401 : 基板  
 402 : ソース駆動回路  
 403 : ゲート駆動回路  
 404 : 画素  
 405 : データ信号線  
 406 : 走査線  
 407 : 映像信号線  
 408 : アナログスイッチ

411 : 検査回路  
 412 : アナログスイッチ  
 413 : 検査線  
 414 : 検査端子

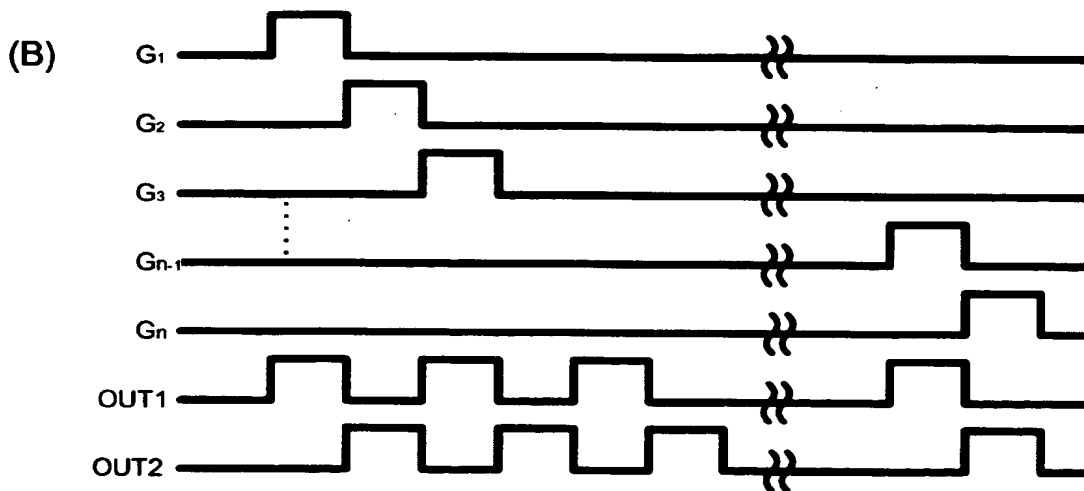
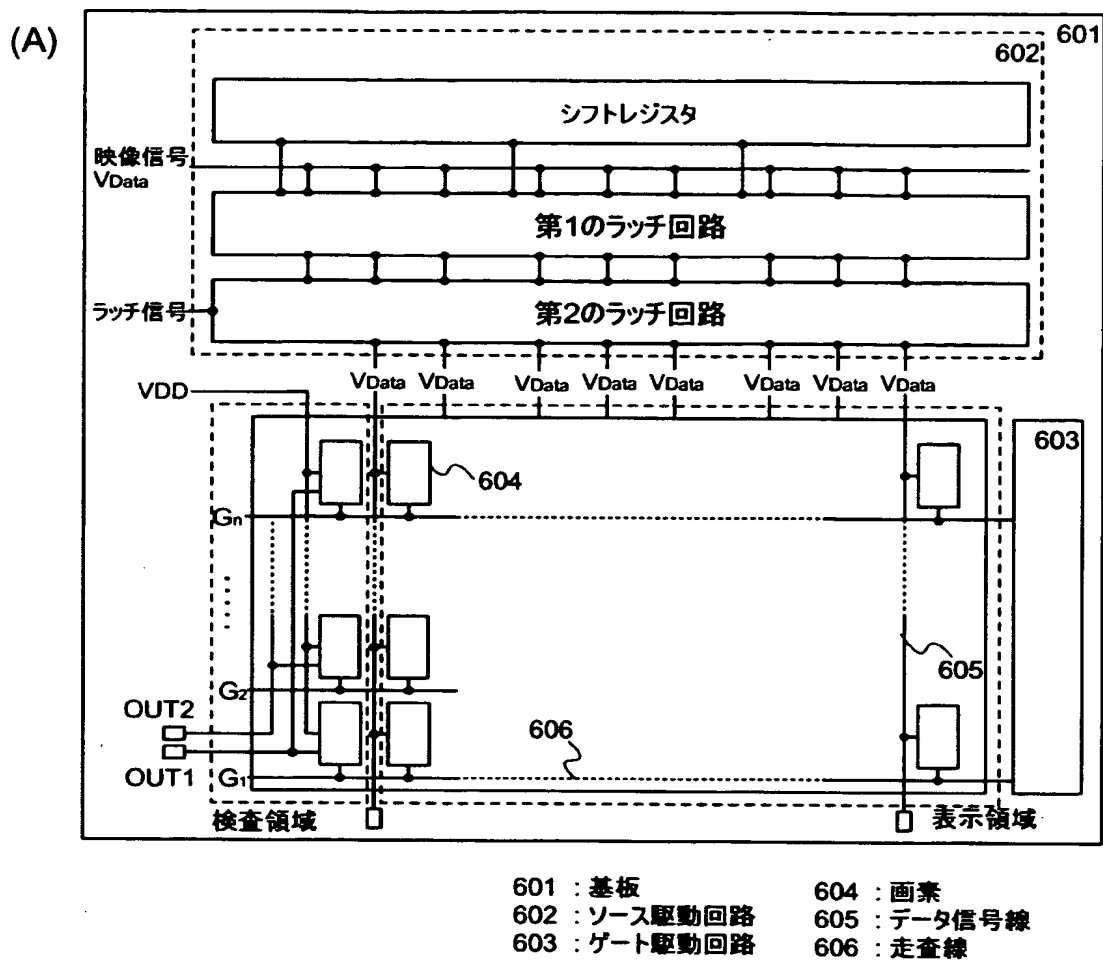
【図 5】



(C)

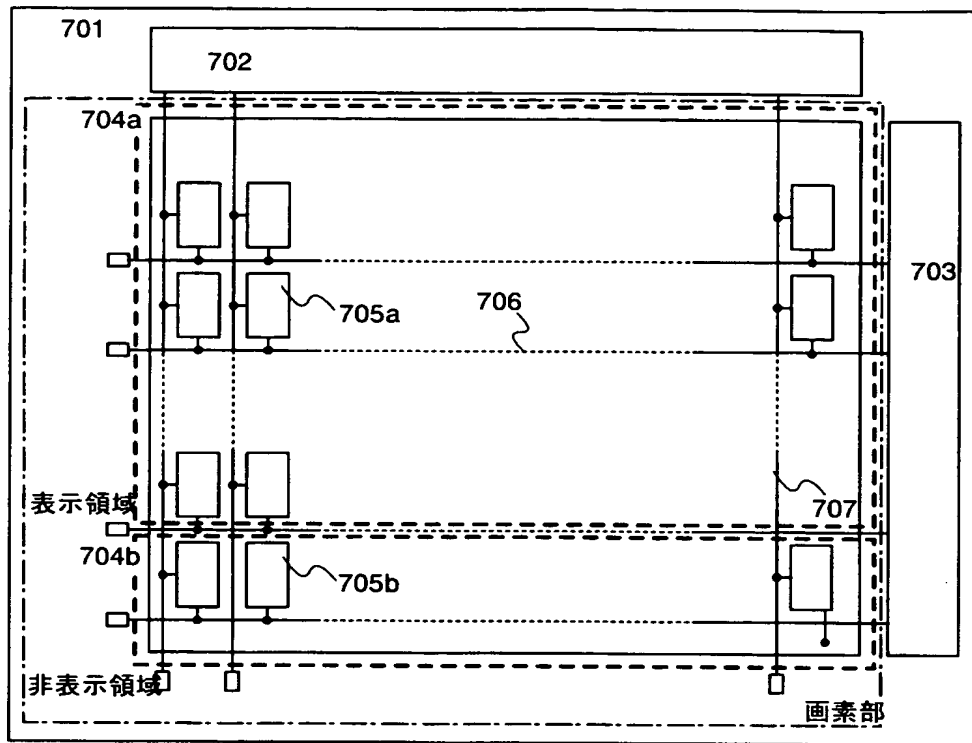
VData	S <sub>1</sub>	S <sub>2</sub>	...	S <sub>n</sub>
V <sub>1</sub>	1	0		0
V <sub>2</sub>	0	1		0
...				
V <sub>n</sub>	0	0		1

【図 6】



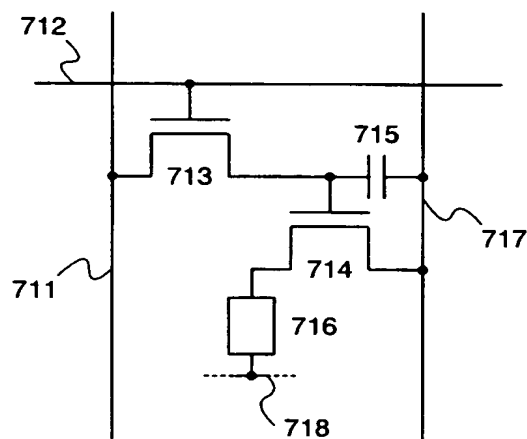
【図 7】

(A)



- |               |              |
|---------------|--------------|
| 701 : 基板      | 705 : 画素     |
| 702 : ソース駆動回路 | 706 : データ信号線 |
| 703 : ゲート駆動回路 | 707 : 走査線    |
| 704 : 画素部     |              |

(B)



- |                  |
|------------------|
| 711 : データ信号線     |
| 712 : 走査線        |
| 713 : スイッチング用TFT |
| 714 : 駆動用TFT     |
| 715 : 容量手段       |
| 716 : 発光素子       |
| 717 : 電流供給線      |
| 718 : 電源線        |



【書類名】 要約書

【要約】

【課題】 画像表示装置において、少ない占有面積で簡単かつ確実な検査回路及び検査方法を提供する。

【解決方法】 画素部周辺に配置してあるダミー画素の一部を変更し検査回路にすることで、複雑な追加回路を必要とせず、しかも少ない占有面積で、データ信号線および走査線の断線等の検査や画素制御の検査を簡単かつ確実に行うことができ、これにより安価にパネルを生産することができることを特徴とする。

【選択図】 なし



特願 2 0 0 2 - 3 5 4 8 0 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所